



Universidad
de Alcalá

Ejercicios del Tema 3

Sistemas Electrónicos
Digitales

Grado en Ingeniería en
Electrónica y Automática
Industrial

Universidad de Alcalá

Curso Académico 2014/2015

Curso 3º – Cuatrimestre 1º

Ejercicio 1

Se desea conectar a un microcontrolador de la familia LPC178x cuatro periféricos de 8 bits, con 4 registros internos cada uno, empleando el controlador de memoria externa, EMC. Se deben mapear a partir de la dirección 0x9C00_0000, debiendo ubicarlos dejando el mínimo espacio vacío de mapa de memoria entre ellos.

- Dibuje el mapa de memoria funcional (únicamente de los periféricos) para cada uno de los siguientes casos: ancho de memoria de 8 bits, ancho de memoria de 16 bits y ancho de memoria de 32 bits.
- Indique las direcciones de los cuatro registros del primer periférico para cada uno de los tres casos planteados.
- Dibuje la conexión completa de los cuatro periféricos al LPC178x para un ancho de bus de 32 bits, generando las señales de chip select, y las conexiones de los buses de datos y direcciones. Tenga en cuenta que no se ha activado el modo de desplazamiento de la dirección.

Ejercicio 2

Se desea conectar a un microcontrolador de la familia LPC178x un bloque de memoria ROM de 1Mbyte y un bloque de memoria RAM de 128Kbytes. Ambos deben estar mapeados consecutivamente a partir de la dirección de memoria 0x8000_0000. Para el diseño se utilizan chips de memoria de 8 bits. Se pide:

- Dibuje el mapa de memoria funcional de la ampliación de memoria únicamente.
- Genere las señales de chip select que activen la ampliación de memoria ROM y RAM, CS_ROM# y CS_RAM#.
- Conecte los chips de memoria ROM y RAM al LPC178x, tanto las señales de control como buses de datos y direcciones. Tenga en cuenta que no se ha activado el modo de desplazamiento de la dirección.

Ejercicio 3

En un sistema digital basado en el uC LPC1788, se desean incluir las configuraciones de memoria externa para los tres casos que se indican a continuación.

En todos los casos se desea no bloquear recursos o bloques innecesariamente, pesando en futuras aplicaciones. Se trabajará con dispositivos de 8 bits. El acceso a datos siempre será alineado. La configuración en el registro CNFIG se ha realizado para que la ordenación sea *big endian*.

Caso 1:

- 32MB de memoria SRAM que pueda ser accedida en tamaños 8, 16 Y 32 bits.
- 4MB de memoria SRAM que va a ser accedida siempre en tamaño 16 bits.
- 4MB de FLASH que va a ser accedida siempre en tamaño 32 bits.

Caso 2:

- 16MB de memoria SRAM que pueda ser accedida en tamaños 8, 16 Y 32 bits.
- 8MB de memoria SRAM que va a ser accedida siempre en tamaño 32 bits.
- 256KB de periféricos de acceso exclusivo en tamaño 8 bits.

Caso 3:

- 16MB de memoria SRAM estructurada en 2 bancos de 8 bits cada banco.
- 16MB de memoria SRAM estructurada en 4 bancos.
- 8MB de memoria FLASH en 1 solo banco que va a ser accedida siempre en tamaño 32 bits alineados.
- 256KB de periféricos estructurados en 1 banco de acceso 8 bits.

Indique para cada uno de los casos:

- a. Número mínimo de chips y tamaños de los mismos a utilizar.
- b. Direcciones base y final de cada uno de los chips.
- c. Valor de configuración de los bits *Memory width [1:0]* del registro *STATICCONFIG* correspondiente.
- d. Diseño y conexión del sistema de memoria al procesador, indicando todas las líneas de direcciones datos y control que necesarias
- e. Dibuje el diseño del periférico, y su conexión al Cortex-M3, suponiendo que se desea mapear a partir de la dirección 0x80000000. Indique el ancho de bus a especificar en la configuración de la señal de chip select correspondiente.